

PTO 98-430

Japanese Kokai Patent Application
No. Sho 60[1985]-224319

FLIP-FLOP CIRCUIT

Tomokazu Kouno

UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. NOVEMBER 1997
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

Code: PTO 98-430

JAPANESE PATENT OFFICE

PATENT JOURNAL

KOKAI PATENT APPLICATION NO. SHO 60[1985]-224319

Int. Cl. ⁴ :	H 03 K 3/037 3/356
Sequence Nos. for Office Use:	8425-5J 8425-5J
Application No.	Sho 59[1984]-80959
Application Date:	April 20, 1984
Publication Date:	November 8, 1985
No. of Inventions:	1 (Total of 6 pages)
Examination Request:	Not requested

FLIP-FLOP CIRCUIT

Furippu×furoppu kairo

Inventors:	Tomokazu Kouno
Applicant:	Suwa Seisakusho K.K.

[There no are amendments to this patent]

Claims

1. A flip-flop circuit of CMOS construction characterized in that the respective outputs of the data storage circuit (6) on the master side made up of a plurality of logic gates are connected to one electrode through the medium of switching circuits (7, 8) that are made up of at least 2 series MOS transistors that transfer input data, the respective outputs of the data storage circuit (9) on the slave side made up of a plurality of logic gates are connected to the other electrode through the medium of switching circuits (10, 11) made up of at least two series MOS transistors that transfer the data from the master side to the slave side, and the respective outputs of the data storage circuit (6) of the master side are connected directly, or are connected through the medium of the logic gate (12), to the gate of one or more of the MOS transistors of the respective series connected MOS transistors of the switching circuits (10, 11) of the slave side.

2. A flip-flop circuit characterized in that, in the flip-flop circuit recorded in Paragraph 1 of the patent claims, the data transfer clock for the master side and the data transfer clock for the slave side use the same signal.

Detailed explanation of the invention

Industrial application field

This invention relates to an IC made up of a plurality of flip-flop circuits having a data transfer function, an IC made up of a plurality of flip-flop circuits having a data latching function, and an IC made up of a plurality of flip-flop circuits having a count function, such as ICs used for LCD drives and ICs used for VFD drives.

Prior art

In regard to flip-flop circuits of a CMOS construction, in the past, there was the device that used the clocked gate (1) such as is shown in Figure 1, and the device that used the transmission gate, such as is shown in Figure 2.

Here, the signal (DIN) is the input data for the flip-flop circuit, the signal (M) is the storage data for the master side, the signal M is its inverted signal, the signal (Q) is the storage data for the slave side, and signal (Q overline) is its inverted signal. Also, signal (CL) is the transmission clock, and the signal (CL overline) is its inverted signal.

The element construction for the clocked gate (1) in Figure 1 is like that of Figure 3(b). In Figure 1 and Figure 2, when the signal (CL) is "H" and the signal (CL overline) is "L," the input data at signal (DIN) is written into the storage circuit of the master side, and when the signal (CL) is "L" and the signal (CL overline) becomes "H," the data that is stored in the master side is transferred to the memory circuit of the slave side.

As it says above, with such a flip-flop circuit using a clocked gate or such a flip-flop circuit using a transmission gate, there was the problem that the gate would not operate unless the 2 signals (CL) and (CL overline) were used as the data transfer clock. Also, as is shown in Figure 5, the signal (CL) and the signal (CL overline) were opposite phase signals, and unless phase differences (t_1 , t_2) were made as small as possible, there was the problem that the flip-flop circuit operated erroneously. As is shown in Figure 6, in particular, if the number of flip-flop circuits which compose a shift register was made n , the converter buffers (3, 5) which generate the shift register transfer clock signals (CL) and signals (CL overline) would come to drive the gates of $4 \times n$ units of MOS transistors, and MOS transistors with large capacitances became necessary (For example, if n is assumed to be 100, the number of MOS transistors which the inverter buffers (3, 5) drive becomes 400.)

Furthermore, if the capacitances of the inverter (4) that inverted the phase of the signal (CL) were not made large compared to the size of the inverter buffer (5), there was the problem that the phase difference (t_1 , t_2) could not be made small. Also, by making the capacitance of the MOS transistor large in this manner a large surface area was required, and there were problems the surface area of the IC becoming large and the unit cost of the IC becoming high. In addition, because the capacitances of the MOS transistors were large, the punch-through current for each inverter (3, 4, 5) became large; and as the number of gates for the MOS transistors which the inverter buffer (4, 5) drove increased, the driving power supply became large, the charging current for the inverter buffer (4, 5) became large,

and there was the problem that the consumed current of the IC became large.

Purpose

This invention solve these types of problem points, and its purpose is to offer a flip-flop circuit of a CMOS construction which operates with 1 transfer clock.

Abstract

The flip-flop circuit of a CMOS construction of this invention is characterized in that the input data is written to a master side data storage circuit by a switching circuit made up of a MOS transistor of one channel, the storage data of the master side is transferred to the slave side data storage circuit by a switching circuit made up of a MOS transistor of the other channel, and the transfer clock for the master side and the transfer clock for the slave side use the same signal.

Application Examples

Below, a detailed explanation is given in regard to this invention based on application examples.

Figure 7 is an example of a basic circuit of a flip-flop circuit of this invention. As for the signal (M) of the master side data storage circuit (6), when the input data signal (DIN overline) (the opposite phase signal for the input data signal (DIN)) is "H" (V_{DD} level) and the transfer clock signal (CL1) is "H," the switching circuit (8) made up of an NMOS transistor is turned ON and forcibly becomes "L" (V_{SS} level), and in the same manner, the switching circuit (7) made up of an NMOS transistor

is turned OFF and the signal (M overline) becomes "H." In the event the input data signal (DIN) is "H," the switching circuit (7) is turned ON, the signal (M overline) is forcibly made "L," the switching circuit (8) is turned OFF, and the signal (M) becomes "H." In this way, the input data (DIN) can be transferred to the master side data storage circuit (6) when the transfer clock signal (CL1) is "H." In the transferring of the storage data of the master side to the data storage circuit of the slave side, if the signal (CL2) is made "L," when the master side signal (M) is "H" and the signal (M overline) is "L," the switching circuit (11) made up of a PMOS transistor on the slave side is turned ON, and the signal (Q) is forcibly made "H"; in the same manner, when the switching circuit (10) made up of a PMOS transistor is turned OFF, the signal (Q overline) becomes "L." Also, when the master side signal (M) is "L" and the signal (M overline) is "H," the switching circuit (10) is turned ON, and the switching circuit (11) is turned OFF, the signal (Q overline) is forcibly made "H" and the signal (Q) becomes "L."

In this way the storage data of the master side is transferred to the slave side data storage circuit (9) when the transfer clock signal (CL2) is "L."

As was presented above, in the circuit of Figure 7, when the signal (CL1) is "H" the input data can be transferred to the data storage circuit of the master side, and when the signal (CL2) is "L" the storage data of the master side can be transferred to the storage circuit of the slave side. Since the signal (CL1) and the signal (CL2) operate respectively at "H" and "L," the same signal can be used.

In the case of Figure 7, the capacitances of the switching circuits (7, 8) used for data transfer of the master side must be

larger than the capacitance of the logic gate of the data storage circuit (6), but by means of reducing the resistor (18) [sic; should be 13] of Figure 8, the capacitances of the switching circuits (7, 8) can be made small compared to that of Figure 7.

Furthermore, the inverter buffer (12) of Figure 8 is used as a data buffer for the master side, and by making the capacitance larger, at the time of taking the data of the master side to an external section, it is more effectively used than taking the signal (M) and the signal (M) out directly. [TN: Not sure of this paragraph.]

Figure 9 is an example according to this invention of a flip-flop circuit used for 1/2 cycle. The signal (Q) is connected to the signal (DIN) in Figure 7, and the signal (Q) [is connected] to the signal (DIN). In the flip-flop circuit using the clocked gate of the example from the prior art, it was made a flip-flop circuit for 1/2 cycle by connecting the signal (Q) to the signal (DIN) as in Figure 4.

Figure 10 is an example of this invention of a flip-flop circuit having a reset function, and it is given the reset function by using one of the logic gates of the master side data storage circuit (6) and the slave side data storage circuit (9) as the 2 input NAND gates (14). The reset signal (RES) is normally "H," when it is "L," the signal (M) and the signal (Q) are made "H," the signal (M) and the signal (Q) become "L," and the master side data storage circuit (6) and the slave side data storage circuit (9) are reset. Also, as for the NMOS transistor (15) that is connected in series with the master side switching circuit (7), the signal (M) of the master side inhibits the input data signal (DIN) from becoming "L" when it is "H" when the transfer clock signal (CL1) is "H,"

but it is unnecessary only when the timing at which the signal (CL1), at which the reset signal (RES) becomes "L," is "L," when the input data signal (DIN) is "L," or when the input data signal (DIN) this "L" [sic].

Figure 11 is another example based on this invention of a flip-flop circuit with a reset function: by means of making the reset signal (RES) "L," the PMOS transistor (16) is turned ON, signal (M) and signal (Q) are forcibly made "H," the signal (M) and the signal (Q) are made "L," and the master side data storage circuit (6) and the slave side data storage circuit (9) are reset. Here, the NMOS transistor of Figure 11 has the same function as that of Figure 10.

Effects

As was presented above, according to this invention, the transfer clock for the master side and the transfer clock for the slave side flip-flop circuits can use the same signal, and it has the effect that the signals can be reduced to 1 compared with the 2-phase clock used in the past, and also, it has the effect that erroneous operations due to the phase differences (t_1 , t_2) in the case of the 2-phase clock is eliminated. It also has the effects that: the surface area of the IC can be reduced due to the fact that there is 1 less signal, the unit cost of the IC can be lowered, and the current consumption can be reduced. In addition, according to this invention, there is also the effect that the number of elements for the flip-flop circuit can be reduced compared to those used in the past. In the case [of the circuit] used until now of Figure 1, the number of elements is

20, and in the case [of the circuit] of this invention of Figure 7, the number of elements is 16.

Now, with this invention, the master side switching circuit is constructed of NMOS transistors, and the slave side switching circuit is constructed of PMOS transistors, but the master side switching circuits can also be constructed of PMOS transistors and the slave side switching circuit of NMOS transistors.

Brief explanation of the figures

Figure 1 is a prior example of a flip-flop circuit using a clocked gate.

Figure 2 is a prior example of a flip-flop circuit using a transmission gate.

Figure 3(a) is a symbol diagram for a clocked gate, and (b) is a drawing showing the element construction for the clocked gate.

Figure 4 is a prior example of a 1/2 cycle flip-flop circuit using a clocked gate.

Figure 5 is a timing chart showing the phases for the signal (CL) and the signal (CL overline) used in Figure 1 and Figure 2.

Figure 6 is a connection example when a plurality of flip-flop circuits used in the past are used as a shift register.

Figure 7 is one example of a basic circuit for a flip-flop circuit according to this invention.

Figure 8 is one example of an application of a flip-flop circuit according to this invention.

Figure 9 is one example of a 1/2 cycle flip-flop circuit according to this invention.

Figure 10 and Figure 11 are examples of flip-flop circuits according to this invention having a reset function.

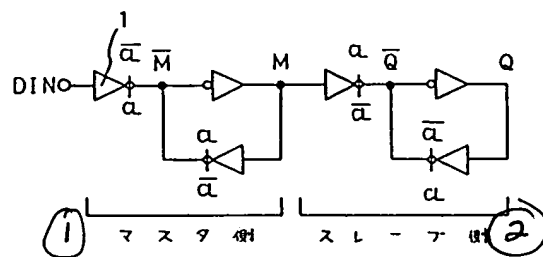


Figure 1

Key: 1 Master side
2 Slave side

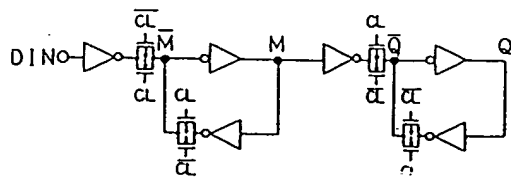


Figure 2

Key: 1 Input data
 2 Flip-flop
 3 N = number of units to about one hundred units

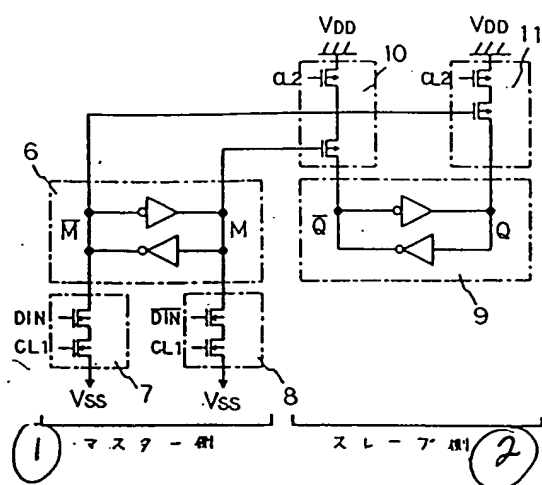


Figure 7

Key: 1 Master side
 2 Slave side

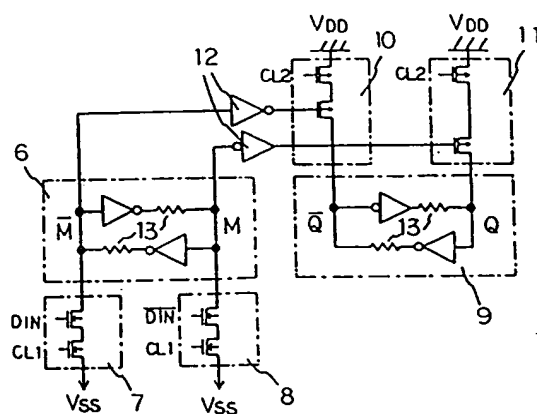


Figure 8

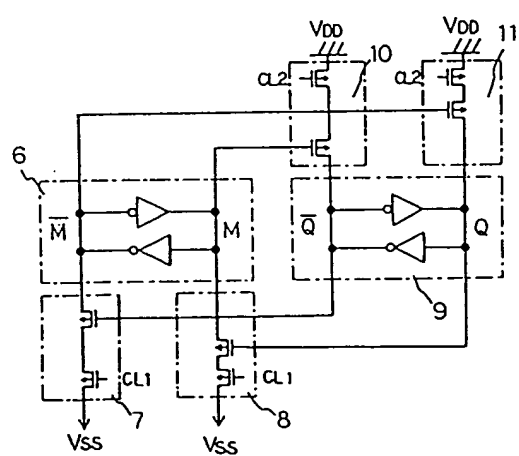


Figure 9

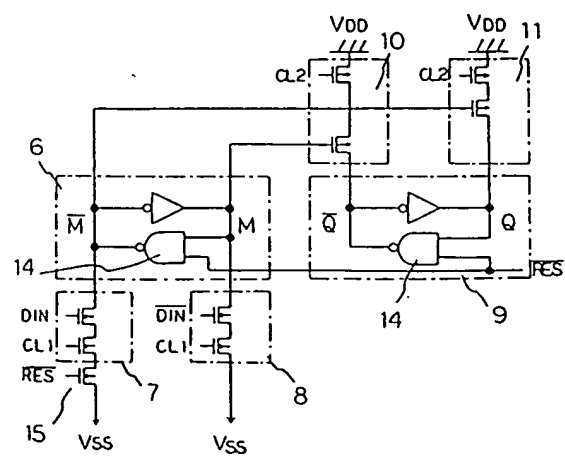


Figure 10

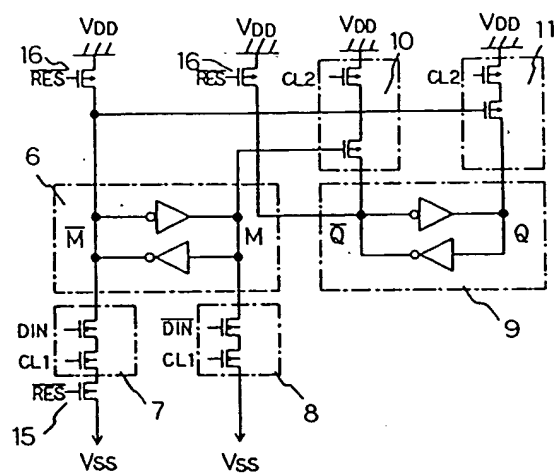


Figure 11

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭60-224319

⑬ Int.Cl.⁴

H 03 K 3/037
3/356

識別記号

庁内整理番号

8425-5J
8425-5J

⑭ 公開 昭和60年(1985)11月8日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 フリップ・フロップ回路

⑯ 特 願 昭59-80959

⑰ 出 願 昭59(1984)4月20日

⑱ 発 明 者 河 野 友 和 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務

明 細 書

発明の名称

フリップ・フロップ回路

特許請求の範囲

(1) 複数の論理ゲートよりなるマスタ側のデータ記憶回路6の各々の出力は、入力データを転送する少なくとも2個の直列するMOSトランジスタよりなるスイッチ回路7, 8を介して一方の電極に接続され、また複数の論理ゲートよりなるスレーブ側のデータ記憶回路9の各々の出力は、マスタ側からスレーブ側へデータを転送する少なくとも2個の直列するMOSトランジスタよりなるスイッチ回路10, 11を介して他方の電極に接続され、マスタ側のデータ記憶回路6の各々の出力は、スレーブ側のスイッチ回路10, 11の各々の直列するMOSトランジスタの1つ以上のMOSトランジスタのゲートに直接、または論理ゲート12を介して接続されることを特徴とするCMOS構造のフリップ・フロップ回路。

(2) 特許請求の範囲第(1)項記載のフリップ・フロップ回路において、マスタ側のデータ転送クロックとスレーブ側のデータ転送クロックに同一の信号を用いることを特徴とするフリップ・フロップ回路。

発明の詳細な説明

(技術分野)

本発明は、LCD駆動用ICやVFD駆動用ICのような複数のフリップ・フロップ回路よりなるデータ転送機能を有するICや、複数のフリップ・フロップ回路よりなるデータ・ラッチ機能を有するICや、複数のフリップ・フロップ回路よりなるカウンタ機能を有するICに関する。

(従来技術)

CMOS構造のフリップ・フロップ回路に関しては、従来より第1図に示されるような、クロック・ゲート1を用いたものや、第2図に示されるような、トランсмисシオン・ゲートを用いたものがあつた。

ここで信号 DIN はフリップ・フロップ回路の入力データであり、信号 M はマスタ側の記憶データ、信号 \bar{M} はその反転信号であり、信号 Q はスレーブ側の記憶データ、信号 \bar{Q} はその反転信号である。また信号 CL は転送クロックであり、信号 \bar{CL} はその反転信号である。

第1図中のクロックド・ゲート1の素子構成は第8図(b)のようになっている。第1図、第2図において、入力データ信号 DIN は信号 CL が 'H'、信号 \bar{CL} が 'L' のとき、マスタ側の記憶回路に書き込まれ、マスタ側に記憶されたデータは信号 CL が 'L'、信号 \bar{CL} が 'H' になると、スレーブ側の記憶回路に転送される。

このように、クロックド・ゲートを用いたフリップ・フロップ回路や、トランスミッション・ゲートを用いたフリップ・フロップ回路では、データ転送用のクロックとして、信号 CL と信号 \bar{CL} の2つの信号を用いなければ動作しないという問題点があった。更に信号 CL と信号 \bar{CL} は、第5図に示されるように逆相信号であり、その位相差

t_1, t_2 は極力小さくしなければ、フリップ・フロップ回路が誤動作するという問題点があった。特に第6図のように多数の従来のフリップ・フロップ回路よりなるシフト・レジスタの転送クロック信号 CL 、信号 \bar{CL} を発生するインバータ・バッファ8, 5は、シフト・レジスタを構成するフリップ・フロップ回路の数を n とすると、 $4 \times n$ 個のMOSトランジスタのゲートを駆動することになり、能力の大きなMOSトランジスタが必要となる。(例えば n を100とすると、インバータ・バッファ8, 5が駆動するMOSトランジスタの数は400となる。)

更に、信号 CL の位相を反転するインバータ4の能力も、インバータ・バッファ5の大きさに比例して大きくしないと位相差 t_1, t_2 を小さくできないという問題点があった。また、このようにMOSトランジスタの能力を大きくするということは、大きな面積を必要とする為、ICの面積が大きくなり、ICの単価が高くなってしまいという問題点もあった。その上、MOSトランジスタの

能力が大きい為、各インバータ8, 4, 5の貫通電流が多くなり、またインバータ・バッファ4, 5が駆動するMOSトランジスタのゲート数が多い為、駆動する静電容量も大きくなり、インバータ・バッファ4, 5での充放電電流も多くなってしまい、ICの消費電流が多くなってしまいという問題点があった。

(目的)

本発明はこのような問題点を解決するもので、その目的とするところは、1つの転送クロックで動作するCMOS構造のフリップ・フロップ回路を提供することにある。

(概要)

本発明のCMOS構造のフリップ・フロップ回路は、入力データを一方のチャンネルのMOSトランジスタよりなるスイッチ回路でマスタ側データ記憶回路に書き込み、マスタ側の記憶データを他方のチャンネルのMOSトランジスタよりなるスイッチ回路でスレーブ側データ記憶回路に転送し、更にマスタ側の転送クロックとスレーブ側の

転送クロックに同一の信号を用いることができることを特徴とする。

(実施例)

以下、本発明について実施例に基づき詳細に説明する。

第7図は本発明によるフリップ・フロップ回路の基本回路の例であり、マスタ側のデータ記憶回路6の信号 M は、入力データ信号 DIN (入力データ信号 DIN の逆相信号) が 'H' (VDDレベル) で転送クロック信号 $CL1$ が 'H' のとき、NMOSトランジスタよりなるスイッチ回路8がONして強制的に 'L' (VSSレベル) になり、同様にNMOSトランジスタよりなるスイッチ回路7はOFFして信号 \bar{M} は 'H' になる。また入力データ信号 DIN が 'H' の場合は、スイッチ回路7がONして信号 \bar{M} が強制的に 'L' になり、スイッチ回路8はOFFして信号 M は 'H' になる。このように入力データ DIN は、転送クロック信号 $CL1$ が 'H' のときマスタ側データ記憶回路6へ転送できる。またマスタ側の記憶データをスレーブ側

のデータ記憶回路9に転送するには、信号 CL_2 を'L'にすればよく、マスタ側の信号 M が'H'で信号 \bar{M} が'L'のとき、スレーブ側のPМОБトランジスタよりなるスイッチ回路11がONして信号 Q を強制的に'H'にし、同様にPМОБトランジスタよりなるスイッチ回路10がOFFして信号 \bar{Q} が'L'になる。またマスタ側の信号 M が'L'で信号 \bar{M} が'H'のときは、スイッチ回路10がONし、スイッチ回路11がOFFして、信号 \bar{Q} を強制的に'H'にして信号 Q がLになる。このようにマスタ側の記憶データは、転送クロック信号 CL_2 が'L'のときスレーブ側データ記憶回路9へ転送できる。

以上述べたように第7図の回路では、信号 CL_1 が'H'で入力データをマスタ側のデータ記憶回路へ転送し、信号 CL_2 が'L'でマスタ側の記憶データをスレーブ側の記憶回路へ転送することができる。このように信号 CL_1 と信号 CL_2 は'H'と'L'で各々動作するので、同一の信号を用いることができる。

ップ回路の本発明の例であり、マスタ側データ記憶回路6とスレーブ側データ記憶回路9の論理ゲートの一方を、2入力NANDゲート14としてリセット機能をもたせる。リセット信号 $R\bar{E}B$ は通常'H'であり、'L'で信号 \bar{M} 、信号 \bar{Q} を'H'にし、信号 M 、信号 Q は'L'になり、マスタ側データ記憶回路6、スレーブ側データ記憶回路9がリセットされる。またマスタ側スイッチ回路7に直列接続されるNМОБトランジスタ15は、マスタ側の信号 \bar{M} が、転送クロック信号 CL_1 が'H'で入力データ信号 DIN が'H'のとき'L'になることを禁止するためのものであるが、リセット信号 $R\bar{E}B$ が'L'になるタイミングが信号 CL_1 が'L'のときか、または入力データ信号 DIN が'L'のときか、または入力データ信号 DIN が'L'のときだけであれば不要である。

第11図はリセット機能付きのフリップ・フロップ回路の本発明による別の例であり、リセット信号 $R\bar{E}B$ を'L'にすることにより、PМОБトランジスタ16をONして、信号 \bar{M} 、信号 \bar{Q} を強

第7図の場合、マスタ側のデータ転送用のスイッチ回路7、8の能力はデータ記憶回路6の論理ゲートの能力より大きくなければならないが、第8図の抵抗18を用いることによりスイッチ回路7、8の能力は第7図のそれに比べて小さくできる。またスレーブ側の場合もマスタ側の場合と同様である。

更に第8図のインバータ・バッファ12はマスタ側のデータ・バッファ用であり、能力を大きくすることで、マスタ側のデータを外部に取り出す際には、信号 M 、信号 \bar{M} を直接取り出すより能力的に有利である。

第9図は $\frac{1}{2}$ 分周用のフリップ・フロップ回路の本発明による例であり、第7図の信号 DIN に信号 \bar{Q} を、また信号 DIN に信号 Q を接続したものである。従来例のクロックド・ゲートを用いたフリップ・フロップ回路では、第4図のように信号 DIN に信号 \bar{Q} を接続することによって $\frac{1}{2}$ 分周用のフリップ・フロップ回路としていた。

第10図はリセット機能付きのフリップ・フロ

制的に'H'にして、信号 M 、信号 Q を'L'にし、マスタ側データ記憶回路6とスレーブ側データ記憶回路9をリセットする。ここで第11図のNМОБトランジスタは第10図のそれと同じ機能を有するものである。

(効果)

以上述べたように本発明によれば、フリップ・フロップ回路のマスタ側の転送クロックとスレーブ側の転送クロックに同一の信号を用いることができ、従来の2相クロックのものと比べ信号を1つ少なくできるという効果を有し、また2相クロックの場合の位相差 ϕ_1, ϕ_2 による誤動作もなくなるという効果がある。また信号を1つ少なくすることによりICの面積が小さくなり、ICの単価を安くでき、更に消費電流も少なくできるという効果を有する。その上本発明によれば、フリップ・フロップ回路の素子数を従来のものに比べ少なくできるという効果も有する。第1図の従来の場合、素子数20個であり、第7図の本発明の場合、素子数は16個である。

尚本発明の説明では、マスタ側のスイッチ回路をNMOSトランジスタで構成し、スレーブ側のスイッチ回路をPMOSトランジスタで構成したが、マスタ側のスイッチ回路をPMOSトランジスタ、スレーブ側のスイッチ回路をNMOSトランジスタで構成してもよい。

図面の簡単な説明

第1図はクロックド・ゲートを用いたフリップ・フロップ回路の従来例。

第2図はトランスミッション・ゲートを用いたフリップ・フロップ回路の従来例。

第8図(a)はクロックド・ゲートのシンボル図であり、(b)はクロックド・ゲートの素子構成を示したものである。

第4図はクロックド・ゲートを用いた1/2分周用のフリップ・フロップ回路の従来例。

第5図は第1図、第2図に用いている信号CLと信号 \overline{CL} の位相を示したタイミング図。

第6図は複数の従来のフリップ・フロップ回路

をシフト・レジスタとして用いたときの接続例である。

第7図は本発明によるフリップ・フロップ回路の基本回路の一例である。

第8図は本発明によるフリップ・フロップ回路の応用の一例である。

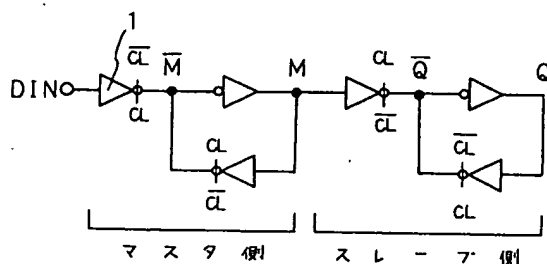
第9図は本発明による1/2分周用のフリップ・フロップ回路の一例である。

第10図、第11図はリセット機能付きの本発明によるフリップ・フロップ回路の一例である。

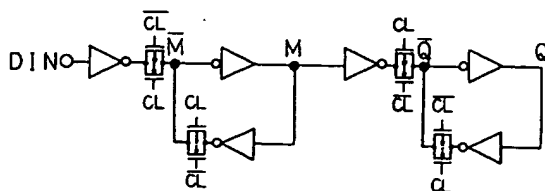
以上

出願人 株式会社諏訪精工舎

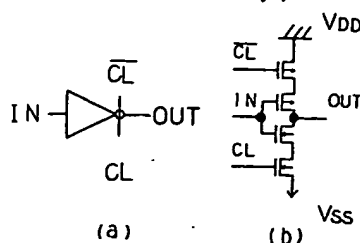
代理人 弁理士 最上 務



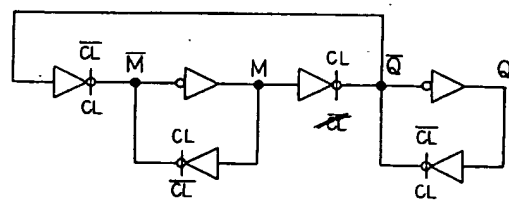
第1図



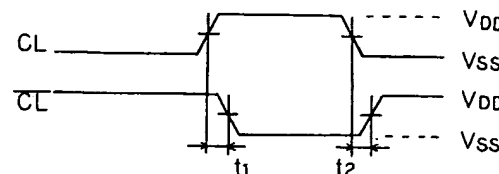
第2図



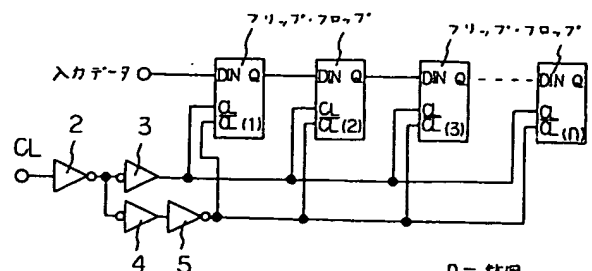
第3図



第4図

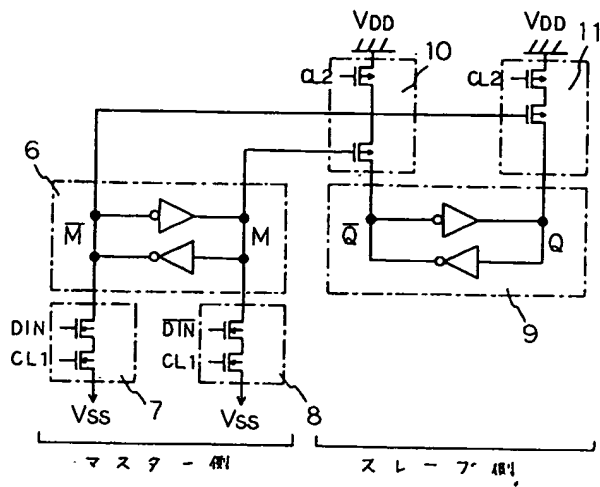


第5図

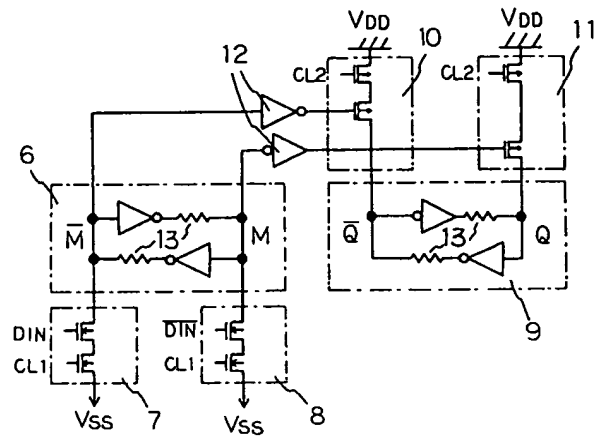


第6図

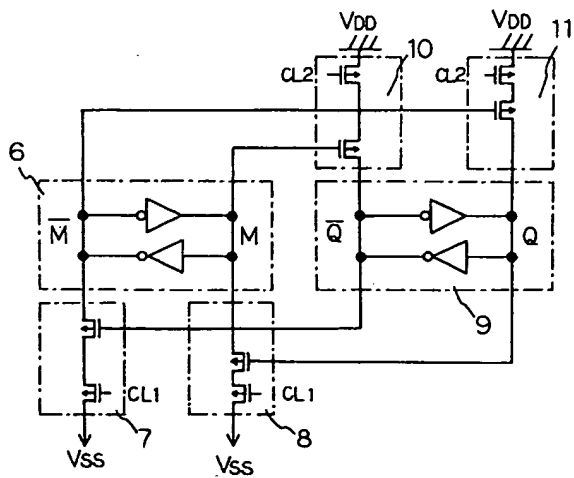
n = 数個 ~
100個程度



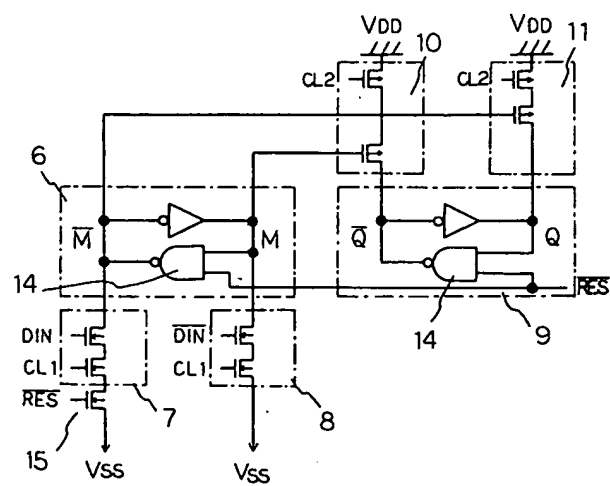
第 7 図



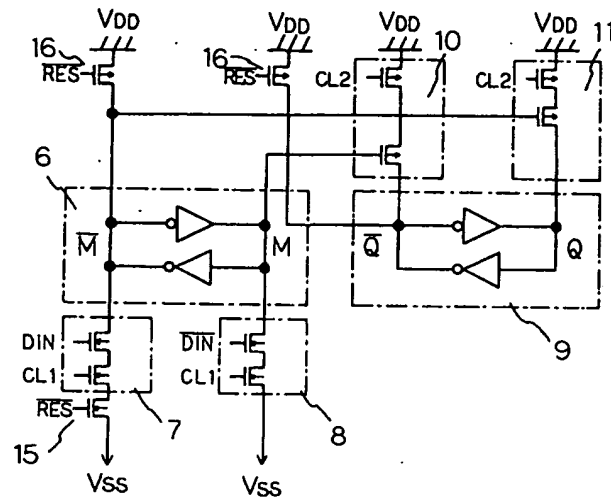
第 8 図



第 9 図



第 10 図



第 11 図